



(19)

(11) Publication number: 2002083949 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 2000272048

(51) Intl. Cl.: H01L 27/146 H01L 21/28 H01L 27/14  
H01L 31/10 H04N 5/335

(22) Application date: 07.09.00

(30) Priority:

(43) Date of application publication: 22.03.02

(84) Designated contracting states:

(71) Applicant: NEC CORP

(72) Inventor: OKUBO HIROAKI

(74) Representative:

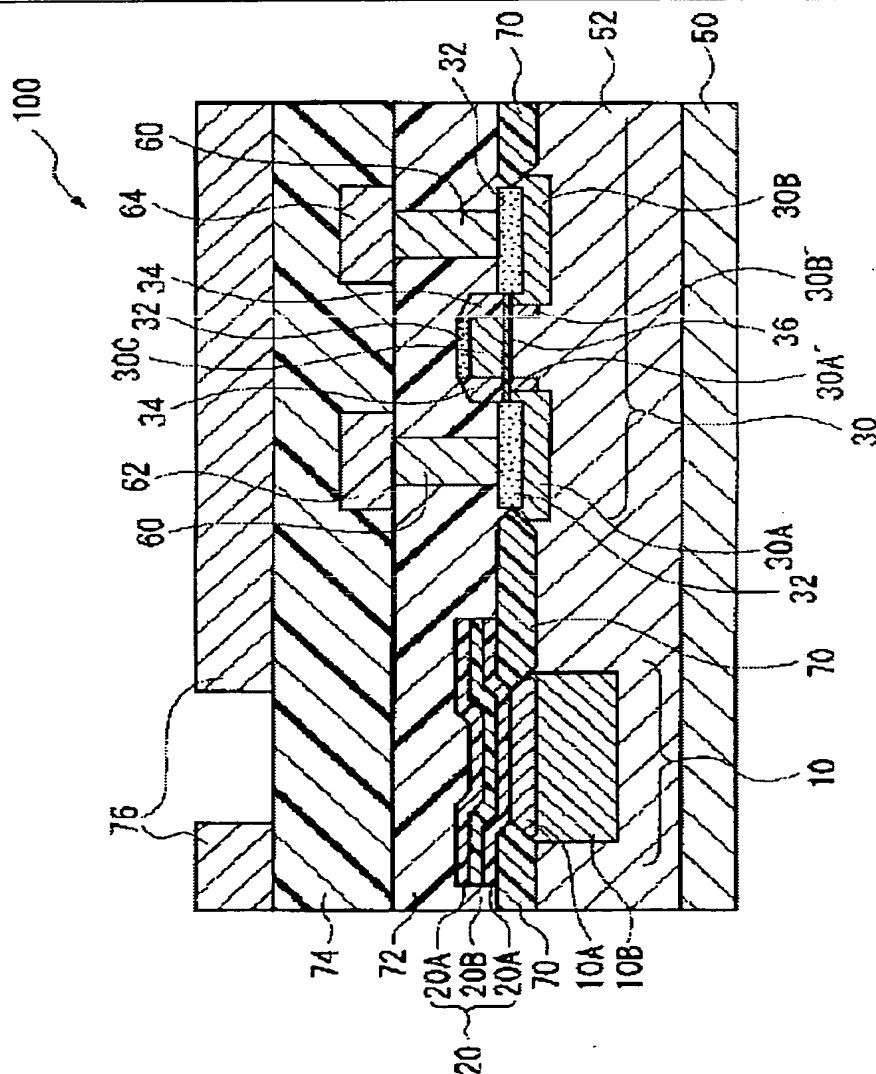
**(54) CMOS IMAGE SENSOR AND METHOD OF MANUFACTURING THE SAME**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a CMOS image sensor which can be manufactured easily and can reduced in manufacturing cost while increased in sensitivity characteristic of a photodiode and in operational characteristic of a CMOS transistor.

**SOLUTION:** The CMOS image sensor comprises a photodiode 10 whose detecting face is covered by a multilayer antireflection film 20 made by depositing at least two types of insulation films 20A, 20B having different refractive indices; and at least one MOS transistor which comprises a silicide layer 32 formed on the surface of diffusion layers 30A, 30B, each of which consists of a source region and a drain region, and which is electrically connected to the photodiode 10. Both the photodiode 10 and the MOS transistors are provided on the same substrate 50.

COPYRIGHT: (C)2002,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-83949

(P2002-83949A)

(43) 公開日 平成14年3月22日 (2002.3.22)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ト* (参考)
H 0 1 L 27/146		H 0 1 L 21/28	3 0 1 T 4 M 1 0 4
21/28	3 0 1	H 0 4 N 5/335	E 4 M 1 1 8
27/14			U 5 C 0 2 4
31/10		H 0 1 L 27/14	A 5 F 0 4 9
H 0 4 N 5/335			D

審査請求 未請求 請求項の数 2 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2000-272048 (P2000-272048)

(22) 出願日 平成12年9月7日 (2000.9.7)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 大窪 宏明

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100108578

弁理士 高橋 昭男 (外3名)

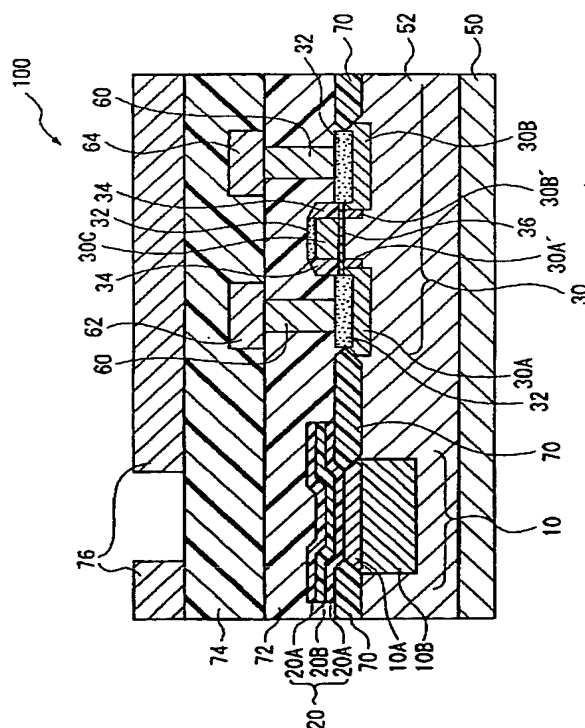
最終頁に続く

(54) 【発明の名称】 CMOSイメージセンサ及びその製造方法

(57) 【要約】

【課題】 フォトダイオードの感度特性とCMOS型トランジスタの動作特性を向上させつつ、容易かつ低コストで製造可能なCMOSイメージセンサ及びその製造方法を提供する。

【解決手段】 それぞれ屈折率の異なる2種類以上の絶縁膜20A、20Bを積層してなる多層反射防止膜20で受光面が覆われているフォトダイオード10と、それぞれソース領域及びドレイン領域となる拡散層30A、30Bの表面にシリサイド層32を有し、フォトダイオード10と電氣的に接続されている1以上のMOSトランジスタ30とを共通基板50上に備えている。



## 【特許請求の範囲】

【請求項 1】 それぞれ屈折率の異なる 2 種類以上の絶縁膜を積層してなる多層反射防止膜で受光面が覆われているフォトダイオードと、

それぞれソース領域及びドレイン領域となる拡散層の表面にシリサイド層を有し、前記フォトダイオードと電気的に接続されている 1 以上の MOS トランジスタとを共通基板上に備えていることを特徴とする CMOS イメージセンサ。

【請求項 2】 フォトダイオードと MOS トランジスタとを備えた共通基板において、前記フォトダイオードと前記 MOS トランジスタの表面を含む領域に、多層反射防止膜となるように 2 種類以上の絶縁膜を積層する工程と、

前記多層反射防止膜をパターンニングし、前記 MOS トランジスタのソース領域及びドレイン領域となる拡散層を露出させ、前記フォトダイオードの受光面に前記多層反射防止膜を残存させる工程と、

前記拡散層、及び残存する前記多層反射防止膜の表面を含む領域に、シリサイド層を形成するための高融点金属層を形成する工程と、

前記高融点金属層を含む前記共通基板を熱処理して、前記拡散層の表面にシリサイド層を形成する工程と、

前記熱処理で未反応の高融点金属層を除去する工程とを備えていることを特徴とする CMOS イメージセンサの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、フォトダイオードと MOS トランジスタを共通基板上に備えた CMOS イメージセンサ及びその製造方法に関する。

## 【0002】

【従来の技術】 従来、画像信号を電気信号に変換する固体撮像素子として、CCD (charge coupled device) が知られている。この CCD は、フォトダイオードアレイを有し、各フォトダイオードに蓄積された電荷にパルス電圧を印加して電気信号として読み出すようになっている。又、近年では、フォトダイオードと MOS トランジスタとを 1 チップ化した CMOS イメージセンサが固体撮像素子として用いられている。この CMOS イメージセンサは、製造が容易で小型化が可能であるという利点を有している。

【0003】そして、フォトダイオードで生じた電荷を電気信号に変える MOS トランジスタの動作速度を向上するべく、例えば特開 2000-31449 号公報には、当該 CMOS 型トランジスタの高濃度拡散領域にシリサイド膜を形成する技術が開示されている。このシリサイド膜は、Ti や Co 等の高融点金属と Si との化合物であり、トランジスタの拡散層やゲート電極の抵抗 (寄生抵抗) を低減して動作速度の向上、動作電圧の低

減をすることができる。

## 【0004】

【発明が解決しようとする課題】 しかしながら、従来の CMOS イメージセンサの場合、フォトダイオード表面 (受光面) で入射光が反射することにより感度が低下してしまうという問題があった。これは、フォトダイオードの表面が酸化膜で覆われているのみであり、受光面での入射光の反射により入光量が減り、光電変換後の電荷量も低下してしまうからである。また、これを防ぐには当該受光面に反射防止膜を形成すればよいが、その場合、工程上余分なリソグラフィ工程が必要となり、製造コストが増加するという問題が生じる。

【0005】又、CMOS イメージセンサにおいて MOS トランジスタの動作特性を向上させるためには、上記従来技術のように拡散層にシリサイド層を形成することが必要となる。一方でフォトダイオードの拡散層にシリサイド層が形成されるとフォトダイオードの感度特性が劣化するので、これを防止するため所定のリソグラフィ工程が必須となっており、その分製造コストの上昇を招いていた。

【0006】本発明は、上記した問題点に鑑みてなされたもので、フォトダイオードの感度特性と MOS トランジスタの動作特性を向上させつつ、容易かつ低コストで製造可能な CMOS イメージセンサ及びその製造方法を提供することを目的とする。

## 【0007】

【課題を解決するための手段】 上記した目的を達成するために、本発明の CMOS イメージセンサは、それぞれ屈折率の異なる 2 種類以上の絶縁膜を積層してなる多層反射防止膜で受光面が覆われているフォトダイオードと、それぞれソース領域及びドレイン領域となる拡散層の表面にシリサイド層を有し、前記フォトダイオードと電気的に接続されている 1 以上の MOS トランジスタとを共通基板上に備えていることを特徴とする。

【0008】本発明の CMOS イメージセンサの製造方法は、フォトダイオードと MOS トランジスタとを備えた共通基板において、前記フォトダイオードと前記 MOS トランジスタの表面を含む領域に、多層反射防止膜となるように 2 種類以上の絶縁膜を積層する工程と、前記多層反射防止膜をパターンニングし、前記 MOS トランジスタのソース領域及びドレイン領域となる拡散層を露出させ、前記フォトダイオードの受光面に前記多層反射防止膜を残存させる工程と、前記拡散層、及び残存する前記多層反射防止膜の表面を含む領域に、シリサイド層を形成するための高融点金属層を形成する工程と、前記高融点金属層を含む前記共通基板を熱処理して、前記拡散層の表面にシリサイド層を形成する工程と、前記熱処理で未反応の高融点金属層を除去する工程とを備えていることを特徴とする。

## 【0009】

【発明の実施の形態】以下、本発明の実施の形態について、図1を参照して説明する。図1は、本発明のCMOSイメージセンサ100の一実施の形態を示す断面図である。図1においては、CMOSイメージセンサ100のピクセル内のフォトダイオード10とCMOS型トランジスタの一部をなすn型MOS（以下「MOSFET」と略記する）30の断面概略図が示されている。なお、都合上、n型MOSのみを図示してあるが、実際には、図の右側又は紙面の前後方向にn型MOSと組合されるp型MOSが形成され、これらを合わせてCMOS型トランジスタが構成される。この場合、p型MOSの形成に際しては、以下のP型ウェル52の一部を適宜n型ウェルとしたり、共通基板をn型とすればよい。そして、MOSFETとしては、例えばフォトダイオード10で生じた電荷を電気信号として検出するもの、電気信号を外部に転送するもの、フォトダイオード10の電位をリセットするもの等が適宜配置される。又、本発明の「CMOSイメージセンサ」において、フォトダイオードには必ずしもn型/p型トランジスタの両方が接続される必要はなく、ピクセルにどのような機能を持たせるかによってトランジスタの構成・組み合わせは種々のものを採用することができる。従って、本発明では、フォトダイオードと1以上のトランジスタを配置したものを「イメージセンサ」として説明する。

【0010】図1において、シリコンからなる共通基板50の上にP型ウェル52が形成されている。P型ウェル52はP型の拡散領域からなり、その中にフォトダイオード10とMOSFET30が埋設して形成される。フォトダイオード10は、P型ウェル52内に形成されたN型拡散層10Bと、N型拡散層10Bの表面に形成されたP型拡散層10Aから構成され、埋め込みフォトダイオード構造となっている。そして、フォトダイオード10の受光面（P型拡散層10Aの表面）とその周辺領域は、それぞれ屈折率の異なる2種類の絶縁膜20A、20Bを交互に積層してなる多層反射防止膜20で覆われている。

【0011】この多層反射防止膜は、屈折率の異なる2つ以上の層を重ね、光学的膜厚を考慮することにより、単層膜より広い波長範囲で反射率を低くすることができる。又、多層反射防止膜20は、絶縁膜から構成されることが必要である。これは、後述するシリサイド反応の際に、高融点金属層と多層反射防止膜20が反応を生じないようにするためである。このような絶縁膜としては、シリコン酸化膜等の酸化膜20Aや、シリコン窒化膜等の窒化膜20Bを用いることができる。反射防止膜の構成に特に制限はなく、公知の設計手法により、反射防止膜を構成する絶縁膜や積層態様（積層順序、積層枚数）を決定すればよい。

【0012】一方、MOSFET30のそれぞれソース領域及びドレイン領域となる（n型）拡散層30A、3

0BはP型ウェル52内に形成されている。各拡散層30A、30Bに挟まれたP型ウェル52の最表面にはシリコン酸化膜（SiO<sub>2</sub>等）からなるゲート酸化膜36が形成され、その上にはポリシリコン層からなるゲート電極30Cが形成されている。又、各拡散層30A、30Bの近傍領域のうちゲート電極30Cに対峙する側の部分は、それぞれキャリア濃度が低い低濃度拡散領域30A'、30B'になっていて、いわゆるLDD（Lightly Doped Drain-source）構造をなし、トランジスタの特性劣化（ホットキャリア現象等）を防止している。

又、ゲート電極30Cの側面にはシリコン酸化膜からなるサイドウォール34が形成されている。

【0013】そして、拡散層30A、30B、及びゲート電極30Cの表面にはTiシリサイド（TiSiX）層32がそれぞれ形成されている。このシリサイド層32は、TiやCo等の高融点金属とSiとの化合物であり、詳しくは後述する方法で形成される。又、拡散層30A、30Bやゲート電極30Cがシリサイド層32を有する場合、これらの抵抗（寄生抵抗）が低減するので、トランジスタの動作速度の向上、動作電圧の低減が図られる。一方、フォトダイオード10の感度特性が劣化しないよう、P型拡散層10AやN型拡散層10Bにはシリサイド層が形成されていない。

【0014】上記したフォトダイオード10とMOSFET30の間におけるP型ウェル52の表面には、素子分離用のシリコン酸化膜（フィールド酸化膜）70が形成されている。そして、多層反射防止膜20の表面と、拡散層30A、30B、ゲート電極30C上のシリサイド層32の表面には、第1の層間絶縁膜72、及び第2の層間絶縁膜74が順次積層されている。第2の層間絶縁膜74の下面側（第1の層間絶縁膜72との対向面側）には、それぞれソース電極及びドレイン電極となるA1配線62、64が埋め込まれ、各A1配線62、64はそれぞれ拡散層30A、30Bの上に延設されている。そして、拡散層30A、30Bと各A1配線62、64とを電氣的に接続するための柱状のコンタクトプラグ60、60が第1の層間絶縁膜72を貫通して形成されている。さらに、フォトダイオード10の受光面の側側部分を除いた第2の層間絶縁膜74の表面には、A1遮光膜76が形成されている。

【0015】そして、本発明のCMOSイメージセンサは、フォトダイオード10の受光面が多層反射防止膜20で覆われているので、広い波長範囲で反射率を低くして、フォトダイオードの感度特性を向上することができる。又、MOSトランジスタ（MOSFET30等）においてソース領域及びドレイン領域となる拡散層（より好ましくは、さらにゲート電極）の表面にシリサイド層を有しているので、動作速度の向上、動作電圧の低減が図られる。さらに、多層反射防止膜20は絶縁膜から構成されるので、シリサイド反応の際にフォトダイオード

にシリサイド層が生じて特性が劣化することが防止できる。

【0016】次に、図1に示したCMOSイメージセンサ100の製造工程の第1の実施形態について、工程図2～図5を参照して説明する。

【0017】まず、シリコンからなる共通基板50上に例えばイオン注入や熱拡散によりP型不純物（ボロン等）を導入し、P型ウェル52を形成する（図2

（1））。次に、P型ウェル52の所定領域をシリコン窒化膜でマスクし、その他の領域に例えば熱酸化により素子分離用のシリコン酸化膜（フィールド酸化膜）70を形成する。そして、シリコン窒化膜を除去した後、シリコン酸化膜70の表面に例えば熱酸化法により、ゲート酸化膜用のシリコン酸化膜（SiO<sub>2</sub>等）層36Aを形成する（図2（2））。次に、例えばアモルファスシリコン膜のレーザアニールにより、ゲート電極となるポリシリコン層32Aをシリコン酸化膜層36Aの表面に形成し、ポリシリコン層32A上にフォトリソグラフィによりマスクパターン500を形成する（図2

（3））。そして、エッチングによりマスクパターン500領域以外のポリシリコン層32Aとシリコン酸化膜層36Aを除去し、ゲート電極30C及びその下層にゲート酸化膜36を形成する（図2（4））。

【0018】次に、P型ウェル52内で低濃度拡散領域となる部分のみ露出させたマスクパターン510をフォトリソグラフィにより形成し、例えばイオン注入により低濃度N型不純物（リン等）を導入し、低濃度拡散領域30A'、30B'を形成する（図3（5））。そして、マスクパターン510を除去し、P型ウェル52内でフォトダイオードとなる部分のみ露出させたマスクパターン520をフォトリソグラフィにより形成する（図3（6））。そして、例えばイオン注入によりN型不純物（ボロン等）を導入してN型拡散層10Bを形成した後、P型不純物（リン等）を導入し、N型拡散層10Bの上にP型拡散層10Aを形成する。

【0019】次いで、サイドウォール用のSiO<sub>2</sub>等からなるシリコン酸化膜層34Aを全体に形成する（図3（7））。そして、例えばイオン等のドライエッチングにより、表面のシリコン酸化膜層34Aを除去し、エッチバックによりゲート電極30C側面にサイドウォール34、34を形成する（図3（8））。

【0020】さらに、フォトダイオード10及びシリコン酸化膜70を覆うマスクパターン530をフォトリソグラフィにより形成し、例えばイオン注入により高濃度N型不純物（リン等）をソース領域及びドレイン領域となる部分に導入し、N型不純物が高濃度拡散したソース領域及びドレイン領域30A、30Bを形成する（図4（9））。この際、サイドウォール34、34がマスクとなるので、その直下には低濃度拡散領域30A'、30B'が残存する。

【0021】さらに、フォトダイオード10（P型拡散層10A）とMOSFET30（ソース領域及びドレイン領域30A、30B、ゲート電極30C）の表面を含む領域に、それぞれ酸化膜、窒化膜からなる絶縁膜20A、20Bを交互に積層してなる多層反射防止膜20を形成し、多層反射防止膜20上にフォトリソグラフィによりマスクパターン540を形成する（図4（10））。

【0022】そして、フォトダイオード10の受光面となるP型拡散層10Aの表面とその周辺領域にのみ多層反射防止膜20を残し、その他の領域の多層反射防止膜20をエッチング除去する（図4（11））。

【0023】次に、多層反射防止膜20、ソース領域及びドレイン領域30A、30B、並びにゲート電極30Cの表面を含む領域に、シリサイド層を形成するためのTiやCo等の高融点金属層32Aを形成する（図4（12））。そして、所定の熱処理を全体に施して、ソース領域及びドレイン領域30A、30B、並びにゲート電極30Cの表面のシリコンと高融点金属層32Aとを反応させてシリサイド層32を形成する（図5（13））。さらに、未反応の高融点金属層32Aを除去する（図5（14））。

【0024】次に、多層反射防止膜20、拡散層30A、30B、ゲート電極30Cの表面を含む領域に、第1の層間絶縁膜72を形成し、拡散層30A、30Bと後述するA1配線62、64とを電気的に接続するための柱状穴を穿設した後、そこに導電性のコンタクトプラグ60、60を形成する。さらに、コンタクトプラグ60、60と接続するようにして第1の層間絶縁膜72の上に、それぞれソース電極及びドレイン電極となるA1配線62、64を例えばスパッタリングにより形成する（図5（15））。そして、第1の層間絶縁膜72の上に第2の層間絶縁膜74を積層した後、フォトダイオード10の受光面となる部分を除いた第2の層間絶縁膜74の表面に、例えばスパッタリングによりA1遮光膜76を形成し、CMOSイメージセンサを製造する（図5（16））。なお、上記各工程においては、N型のMOSFET30の製造工程を例示したが、その他のP型のMOSFETあるいは他のCMOS型トランジスタの製造についても同様であるので図示及び説明を省略してある。

【0025】本発明のCMOSイメージセンサ100は次のようにして製造することもできる。この場合の製造工程について、工程図6～図9を参照して説明する。

【0026】まず、図2と同様にして、共通基板50上にゲート電極30C及びその下層にゲート酸化膜36を形成し（図6（1）～（4））、次に、低濃度拡散領域30A'、30B'を形成する（図7（5））。

【0027】さらにマスクパターン510を除去した後、ゲート電極30Cをやや広めに覆い、それぞれソー

ス領域及びドレイン領域となる部分のみ露出させたマスクパターン520をフォトリソグラフィにより形成し、例えばイオン注入により高濃度N型不純物（リン等）を導入し、N型不純物が高濃度拡散したソース領域及びドレイン領域30A、30Bを形成する（図7（6））。

【0028】次に、マスクパターン520を除去し、P型ウェル52内でフォトダイオードとなる部分のみ露出させたマスクパターン530をフォトリソグラフィにより形成する。そして、例えばイオン注入によりN型不純物（ボロン等）を導入してN型拡散層10Bを形成した後、P型不純物（リン等）を導入し、N型拡散層10Bの上にP型拡散層10Aを形成する（図7（7））。さらに、フォトダイオード10（P型拡散層10A）とMOSFET30（ソース領域及びドレイン領域30A、30B、ゲート電極30C）の表面を含む領域に、それぞれ酸化膜、窒化膜からなる絶縁膜20A、20Bを交互に積層してなる多層反射防止膜20を形成し、多層反射防止膜20上にフォトリソグラフィによりマスクパターン540を形成する（図7（8））。

【0029】そして、フォトダイオード10の受光面となるP型拡散層10Aの表面とその周辺領域にのみ多層反射防止膜20を残し、その他の領域の多層反射防止膜20をエッチング除去する（図8（9））。次いで、多層反射防止膜20とゲート電極30Cの表面を含む領域に、サイドウォール用のSiO<sub>2</sub>等からなるシリコン酸化膜層34Aを形成する（図8（10））。そして、例えばイオン等のドライエッチングにより、表面のシリコン酸化膜層34Aを除去し、エッチバックによりゲート電極30C側面にサイドウォール34、34を形成する（図8（11））。

【0030】次に、多層反射防止膜20、ソース領域及びドレイン領域30A、30B、並びにゲート電極30Cの表面を含む領域に、シリサイド層を形成するためのTiやCo等の高融点金属層32Aを形成する（図8（12））。そして、図5と同様なフローにより、CMOSイメージセンサを製造する（図9（13）～（16））。

【0031】このように、本発明のCMOSイメージセンサの製造方法においては、MOSトランジスタ（MOSFET30等）の拡散層の表面にシリサイド反応を生じさせる際（図5（13）、図9（13）の工程）、絶縁性の多層反射防止膜20層がフォトダイオード10の受光面にシリサイド層が生じるのを防止するマスクを兼ねるので、余分なマスク形成工程を不要とし、シリサイド層の形成が容易で製造コストも低減する。

【0032】又、第2の製造方法では、MOSトランジスタのゲート電極にサイドウォールを形成する場合に（図8（11）の工程）、絶縁性の多層反射防止膜20層がフォトダイオード10の受光面にサイドウォール形成時のエッチバックの影響が生じるのを防止するマスク

となるので、余分なマスク形成工程を不要とし、サイドウォールの形成の製造が容易でコストも低減することができる。なお、サイドウォール形成時のエッチバックの影響としては、イオン等のドライエッチングを行うことにより、フォトダイオードの拡散層に不純物イオンが導入され、ダイオード内のPN接合のリークが生じて画像ノイズが発生することが挙げられる。

【0033】本発明は、以上述べた実施形態に限定されるものではなく、共通基板50上にN型ウェルを形成させ、その表面に適宜所定のN型拡散層やP型拡散層を含むフォトダイオードやCMOS型トランジスタを形成した場合も含まれるものであり、N型拡散層やP型拡散層の積層形態についても特に限定はない。例えばフォトダイオードをPIN型としてもよい。

【0034】

【発明の効果】以上説明したように、本発明のCMOSイメージセンサによれば、フォトダイオードの受光面が多層反射防止膜で覆われているので、広い波長範囲で反射率を低くして、フォトダイオードの感度特性を向上することができる。又、MOSトランジスタにおいてソース領域及びドレイン領域となる拡散層の表面にシリサイド層を有しているので、動作速度の向上、動作電圧の低減が図られる。そしてこれらの効果を1つのチップ上でともに実現することができる。

【0035】又、本発明のCMOSイメージセンサの製造方法によれば、上記特性を持つCMOSイメージセンサを容易に、かつ低コストで製造できる。つまり、MOSトランジスタの拡散層の表面にシリサイド反応を生じさせる際、絶縁性の多層反射防止膜層がフォトダイオードの受光面にシリサイド層が生じて特性が劣化するのを防止するマスクを兼ねるので、余分なマスク形成工程が不要となる。

【0036】又、MOSトランジスタのゲート電極にサイドウォールを形成する場合、絶縁性の多層反射防止膜は、フォトダイオードの受光面にサイドウォール形成時のエッチバックの影響が生じるのを防止するマスクとなるので、この場合も余分なマスク形成工程を不要となる。そして、感度特性の良いフォトダイオードを容易に製造できる。

【図面の簡単な説明】

【図1】 本発明のCMOSイメージセンサの構成を示す断面図である。

【図2】 本発明のCMOSイメージセンサの製造方法を示す工程断面図である。

【図3】 図2に続く工程断面図である。

【図4】 図3に続く工程断面図である。

【図5】 図4に続く工程断面図である。

【図6】 本発明のCMOSイメージセンサの第2の製造方法を示す工程断面図である。

【図7】 図6に続く工程断面図である。

30 A

ソース領域となる拡散層

30 B

ドレイン領域となる拡散層

30 A'、30 B'

低濃度拡散領域

30 C

ゲート電極

3 2

シリサイド層

3 4

サイドウォール

3 6

ゲート絶縁膜 -

50

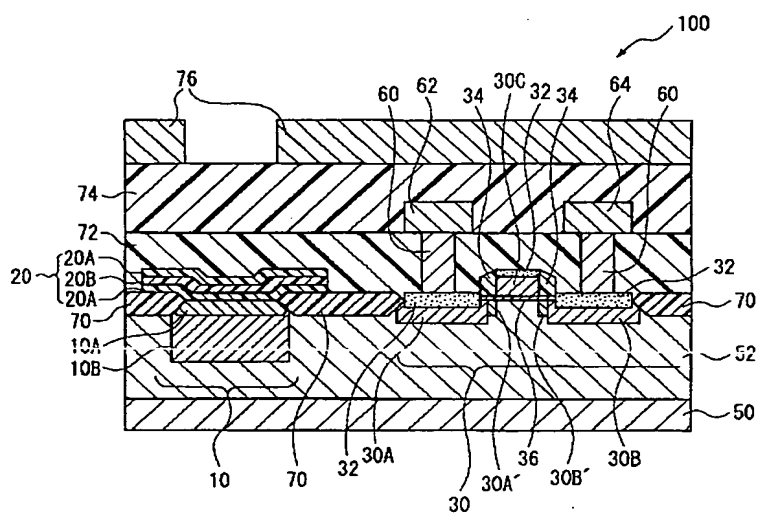
共通基板

5 2

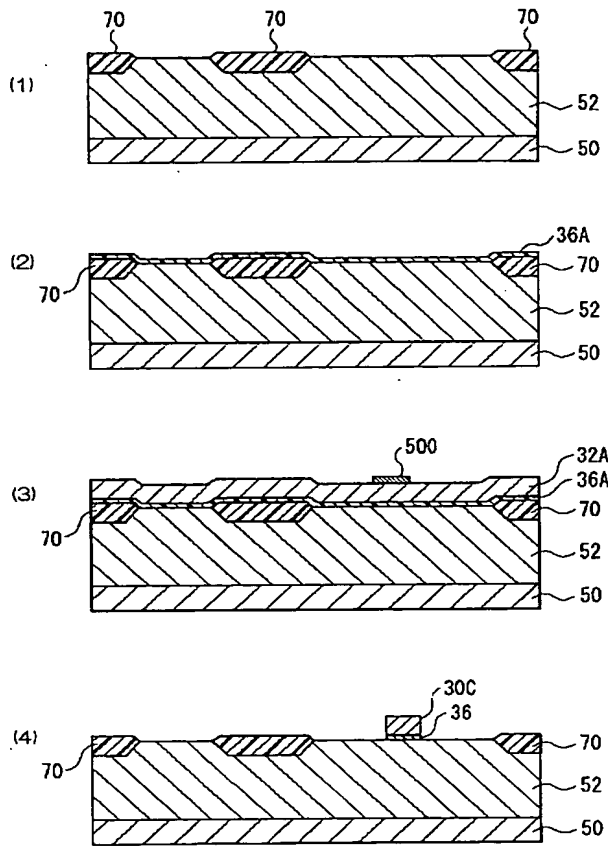
P型ウェル

CMOSイメージセンサ

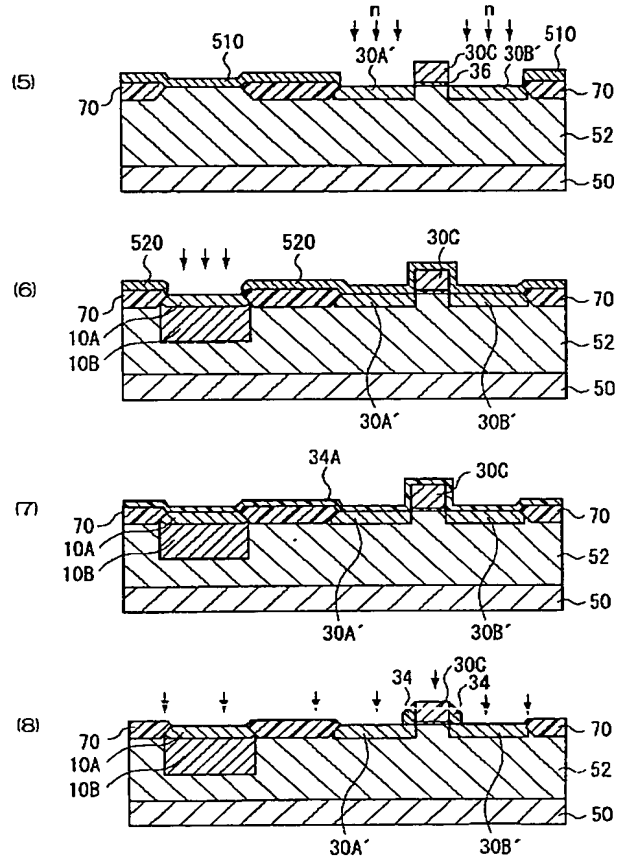
10 1 0 0



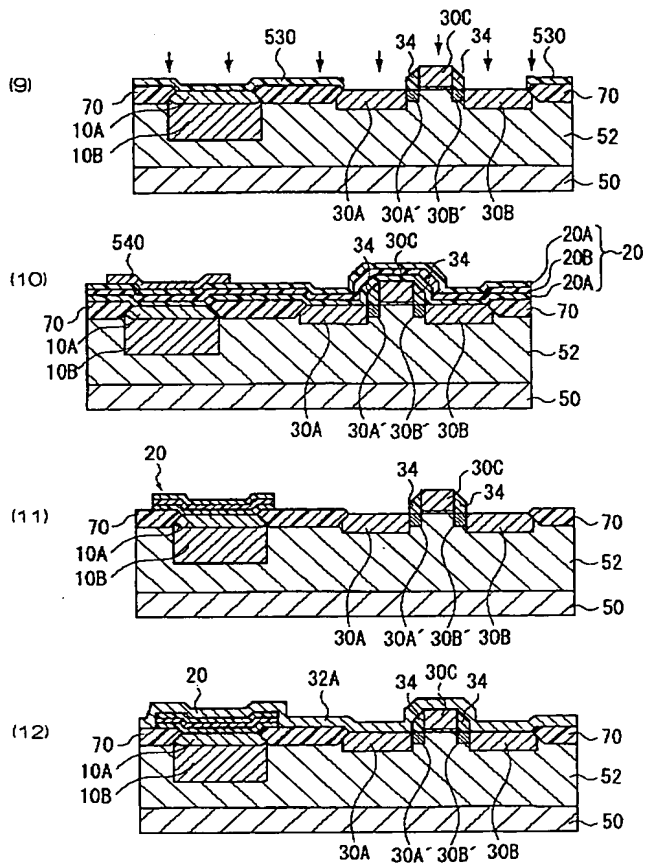
【図 2】



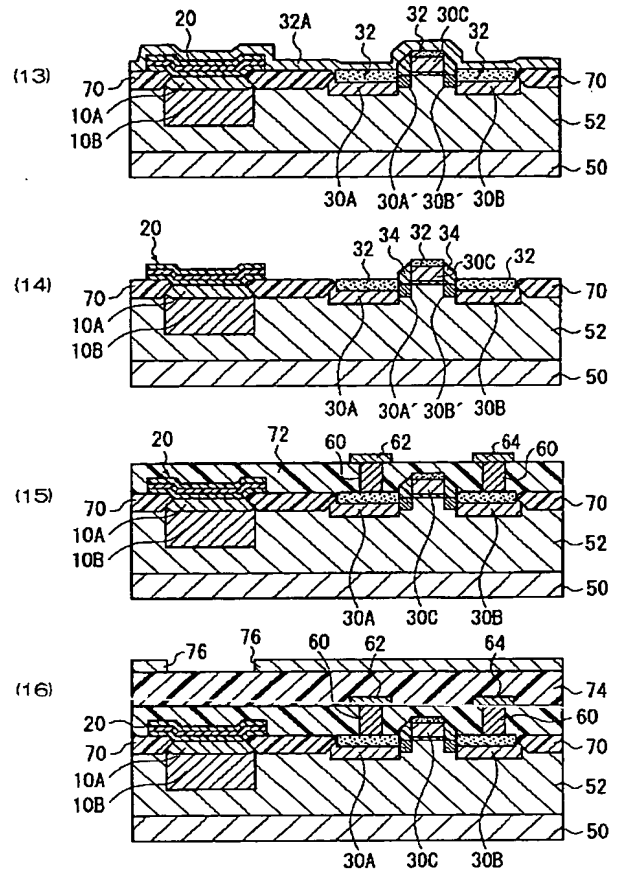
【図 3】



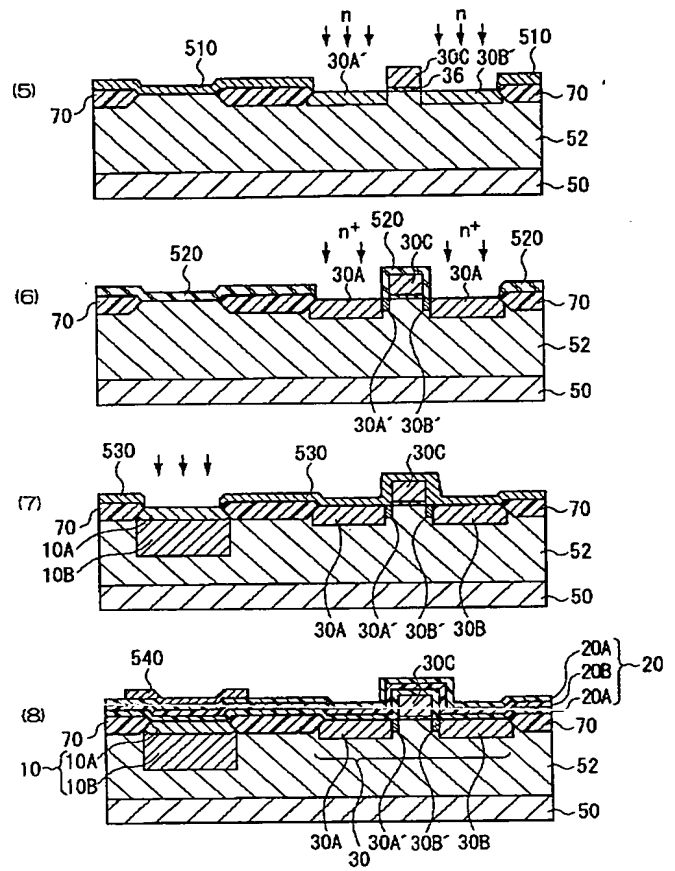
【図 4】



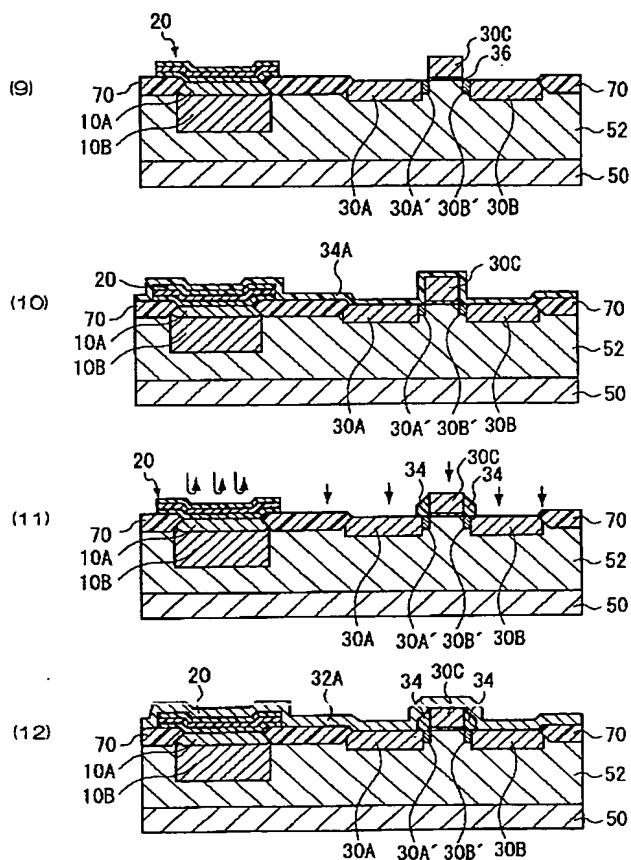
【図 5】



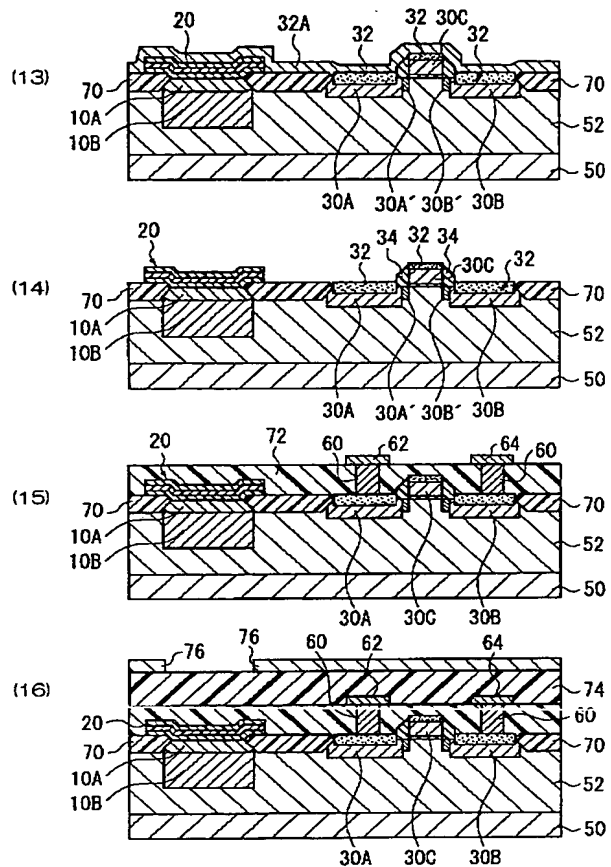
【图 7】



【図 8】



【図 9】



フロントページの続き

(51) Int. Cl. <sup>7</sup>

H04N 5/335

識別記号

F I

H01L 31/10

テーマコード\* (参考)

A

F ターム (参考) 4M104 BB01 BB20 BB25 CC01 DD78  
 DD84 EE09 EE15 GG10 GG14  
 4M118 AA01 AA10 AB01 BA14 CA04  
 CA34 CB13 FA06 GB11  
 5C024 CX41 CY47 GX03  
 5F049 MA02 NA01 NB03 PA10 PA11  
 PA14 PA15 PA20 RA02 RA06  
 SE01 SZ03

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**